

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-206308

(43)Date of publication of application : 12.09.1986

(51)Int.Cl.

H03K 3/03

H03K 3/353

(21)Application number : 60-048038

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 11.03.1985

(72)Inventor : MATSUURA YOSHIKI

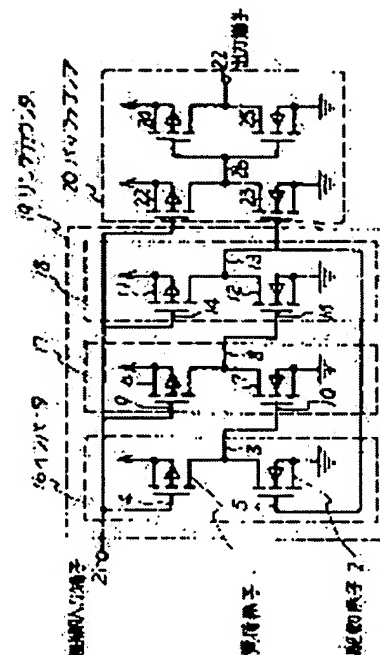
(54) VOLTAGE CONTROLLED OSCILLATOR

(57)Abstract:

PURPOSE: To extract an output stably by connecting a drive element and a load element in series so as to constitute an inverter.

CONSTITUTION: The P-channel load element 1 and the N-channel drive element 2 are connected in series to constitute the inverter 16. Similarly, the inverters 17, 18 are constituted and a three-stage of inverters constitute a ring counter. Gates 4, 9, 14 of the load elements 1, 6, 11 are connected in common to form a control input terminal 21.

An output 3 of the inverter 16 is connected to a gate 10 of the drive element 7 of the inverter 17. Similarly, an output 8 of the inverter 17 is connected to a gate 15 of the inverter 18 and an output 13 of the inverter 18 is connected to the gate 5 of the inverter 16 to constitute the ring counter. In the titled oscillator, since each inverter consists of two MOSFETs and the propagation delay time t_{pd} of each inverter is decreased, the output frequency range is increased with a high frequency.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-206308

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)9月12日

H 03 K 3/03
3/353

8425-5J
6749-5J

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 電圧制御発振器

⑮ 特 願 昭60-48038

⑯ 出 願 昭60(1985)3月11日

⑰ 発 明 者 松 浦 義 昭 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑱ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑲ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称 電圧制御発振器

2. 特許請求の範囲

(1) 2個のMOSFETを直列に電源間に接続してなるMOSインバータを奇数列接続したリングカウンタに於て、電源の一方に接続された奇数個のMOSFETのゲートを全て共通に接続して外部電源による制御入力とし、他方の電源に接続された駆動用の奇数個のMOSFETのそれぞれのゲートを前記インバータの出力に接続した事を特徴とする電圧制御発振回路。

(2) 前記制御用のMOSFETがPチャネルMOSFET、駆動用MOSFETがNチャネルMOSFETからなる特許請求の範囲第1項記載の電圧制御発振回路。

(3) 前記制御用のMOSFETがNチャネルMOSFET、駆動用のMOSFETがPチャネルMOSFETからなる特許請求の範囲第1項記載の電圧制御発振回路。

(4) 前記制御用のMOSFETがNチャネルタイプリージョンMOSFETからなる特許請求の範囲第1項記載の電圧制御発振回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は通信用フェーズロックループ(以下PLLとする)や制御用PLLに用いられる電圧制御発振器(以下VCOとする)に関するものである。

〔発明の概要〕

リングカウンタを利用した電圧制御発振回路に於て、発振周波数を可能な限り高い周波数まで発振させる為に、リングカウンタ1段を構成する素子数を少なくする事を目的とした。本発明はリングカウンタ1段を構成する素子を2個とし、1個を駆動用、1個を負荷用と電圧制御用を兼ねることにより実現した。

〔従来の技術〕

従来は第2図に示すように通常のCMOSイン

パータの電源側に1個のMOSFETを直列に接続し、そのMOSFETのゲート電圧を制御することによりリングカウンタの発振周波数を制御していた。この為伝搬遅延時間が大きく高周波まで発振しづらかつた。

〔発明が解決しようとする問題点〕

リングカウンタを使つたVCOでは発振周波数範囲を広くとろうとすると、1段当たりの伝搬遅延時間(以下 t_{pd} とする)を短かくする必要がある。従来のVCOでは第2図に示すように通常のインバータに制御用の素子を追加していた為にどうしても直列の素子が8個は最低必要であり、更に発振出力の動作点を中心電圧にもつてこようとするとインバータの両方の電源に1個ずつの制御素子が必要になつた。この為1段当たりの t_{pd} が大きくなり充分に高い周波数までカバーすることができなかつた。そこで本発明は1段当たりの t_{pd} を少なくすることと、発振出力の中心電圧を一定にすることを目的にしている。

〔問題を解決する為の手段〕

波数が制御できる電圧制御発振器が構成できる。

〔実施例〕

以下に本発明の実施例を図面に基づいて詳細に説明する。第1図においてPチャネル負荷素子1とNチャネル駆動素子2を直列に接続してインバータ16を構成する。同様にインバータ17, 18を構成して8段インバータでリングカウンタを構成する。負荷素子1, 6, 11のそれぞれのゲート4, 9, 14を共通に接続して制御入力21とする。インバータ16の出力3はインバータ17の駆動素子7のゲート10に接続する。同様にインバータ17の出力8はインバータ18のゲート15に、インバータ18の出力13はインバータ16のゲート5に接続されてリングカウンタを構成する。リングカウンタの出力はそれぞれのインバータの出力どれをとつても同じであるが、本実施例ではインバータ18の出力13をバッファアンプ20で受ける事によりバッファアンプ20の出力22をもつてVCOの出力としている。本実施例ではPチャネルを負荷素子としている為に制御入力21の電圧を下げるとPチャネル

1段当たりの t_{pd} を短かくする為に第1図に示すようにインバータを構成するMOSFETを2個直列に使用した。1個のMOSFETはインバータの負荷として機能すると共に、ゲートにかかる電圧を制御することにより、発振周波数を変えるようにした。他方のMOSFETは前段の出力をゲートで受けることにより、インバータの駆動素子としての動作をさせている。駆動用素子と負荷用素子とを直列に接続することにより、インバータを構成するとそのインバータの出力は駆動用素子のスレッショルド電圧に近い電圧を中心として発振する為に、安定して出力を取り出しやすくなる。

〔作用〕

リングカウンタを構成する負荷用素子のソースゲート間電圧を大きくすると負荷用素子の抵抗が下がり、インバータの t_{pd} が小さくなる。その結果発振周波数が高くなる。反対にソースゲート間電圧を小さくすると t_{pd} が大きくなり発振周波数は低くなる。このようにして制御電圧で発振周

負荷1, 6, 11の抵抗が下がり各インバータ16, 17, 18の t_{pd} が小さくなり出力22の周波数は高くなる。反対に制御入力21の電圧を上げると負荷素子1, 6, 11の抵抗が上がりインバータ16, 17, 18の t_{pd} が大きくなることにより出力22の周波数は低くなる。このように本実施例では各インバータが2個のMOSFETにより構成されている為に各インバータの伝搬遅延時間 t_{pd} を小さくすることができるので出力周波数範囲を大きく、かつ高い周波数まで得ることが可能になる。

第3図はPチャネルMOSトランジスタを駆動素子にNチャネルMOSトランジスタを負荷素子にした本発明の他の実施例の回路図であり、第4図はNチャネルデブリージョンMOSトランジスタを負荷素子に使い、駆動素子にNチャネルMOSトランジスタを使つた本発明の更に他の実施例の回路図である。

〔発明の効果〕

本発明は従来は高周波のVCOが実現しづらかつたリングカウンタを使用した方法に於て、容易

に高周波から低周波までカバーできるVCOを提供するものである。特にPLLが発達しラジオ、TV用のチューナやモータ制御等に使われるようになっている現在、モノリシック化したPLLを実現することが課題であるが、その一害のネックになっていたものがVCOであつた。本発明を採用することによりVCOを含めたPLLのモノリシック化が可能になりコストと特性の面から効果は大である。

4. 図面の簡単な説明

第1図は本発明の実施例の回路図、第2図は従来のVCOの例を示す回路図、第3図はPチャネルMOSトランジスタを駆動素子にNチャネルMOSトランジスタを負荷素子にした本発明の実施例の回路図、第4図はNチャネルデブリージョンMOSトランジスタを負荷素子に使い、駆動素子にPチャネルMOSトランジスタを使った本発明の実施例の回路図である。

1, 6, 11... 負荷素子

2, 7, 12... 駆動素子
8, 8, 13... インバータの出力
16, 17, 18... インバータ
19... リングカウンタ
20... パツファアンプ
4, 9, 14... 制御入力ゲート
5, 10, 15... 駆動素子入力ゲート
21... 制御入力端子
22... 出力端子

以上

出願人 セイコー電子工業株式会社

代理人 弁理士 最上

